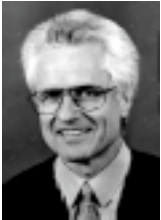


Zeitoptimale Regler synchronisiert mit geschalteten Stellern

Frank Schneider, Friedrich Gresser, Horst Eixenberger,
Max-Planck-Institut für Plasmaphysik Garching, EURATOM Association



Dr.-Ing. Frank Schneider promovierte am Lehrstuhl für Steuerungs- und Regelungstechnik von Prof. G. Schmidt an der Technischen Universität München (1990). Am Max-Planck-Institut für Plasmaphysik (EURATOM Association) in Garching führt er elektronische und regelungstechnische Projekte an Großexperimenten durch.



Dipl.-Ing. (FH) Friedrich Gresser hat langjährige Industrieerfahrung mit Steuerung, Regelung und Leistungselektronik. Für ein Großexperiment am IPP in Garching realisierte er verantwortlich die Steuerung aller Hochstromeinrichtungen. Seit 1990 leitet er eine Zentrale für Stromverteilung mittels netzgeführter Stromrichter. Hierfür stehen Leistungen von über 500 MVA zur Verfügung.



Dipl.-Ing. (FH) Horst Eixenberger ist Energieanlagenelektroniker und Entwicklungsingenieur für allgemeine Elektrotechnik. Im Zentrallabor für Elektronik am IPP in Garching entwickelt er elektronische Systeme in analoger und digitaler (CPLD und DSP) Schaltungstechnik.

Für den in der Praxis relevanten Aufbau schneller Regelkreise mit taktgebundenen Elementen, (wie z.B.: netzgeführte Stromrichter, IGBTs oder pulsmodierte Transistorbrücken usw.), wird ein erweiterter, hybrid arbeitender, synchronisierbarer Regler vorgestellt. Er vereint PID-Regelcharakteristik mit dead-beat Eigenschaften.

Die vergleichende Diskussion des neuen Reglers im Zeit- und Frequenzbereich zeigt seine Überlegenheit gegenüber herkömmlichen PID-Reglern im Hinblick auf phasenkompensierende Eigenschaften sowie der optimalen Berücksichtigung von Stellbereichsgrenzen und der Dynamik schaltender Stellanrichtungen.

Besondere Kennzeichen sind Robustheit sowie schnelles, gut gedämpftes Einschwingverhalten bei Regelstrecken mit einem dominanten Systemverhalten bis zur 3. Ordnung. Der Aufwand bei der Parameterwahl ist dem bei herkömmlichen PID-Reglern vergleichbar.

A synchronized optimum regulator

A new synchronizable controller in hybrid technique is presented for practical use for fast control circuits including time-discrete elements like switched regulating power devices (transistor chopper or thyristor power converters etc.). It combines the PID algorithm with dead-beat features.

The new device has better phase compensation and an optimized attention to the operating range of switching devices as compared to standard time discrete PID controllers. The device has proven to be robust with a fast, optimized damped overshoot behaviour in processes with delays up to the third order.

1. Einleitung

Moderne Analogbausteine und digitale Signalprozessoren ermöglichen heute praktisch jede beliebige Funktion bzw. jeden Algorithmus in sehr kurzer Zeit auszuführen. Es sei deshalb hier die schon oft gestellte Frage wiederholt, ob denn die in den meisten Fällen eingesetzten PID-Regler als optimal bzw. bester Kompromiß in bezug auf Regelgeschwindigkeit, Robustheit, Kostenaufwand und Anwenderfreundlichkeit zu bezeichnen sind. Gibt es nicht auch vielerlei

Stellanrichtungen und Regelstrecken, bei denen ein anderer Algorithmus [1] wünschenswert wäre?

Eine große Anzahl von zeitoptimalen Algorithmen [2],[3],[4] ist bekannt, die aber in der Praxis nur wenig Anwendung finden, weil sie entweder nicht robust und schnell genug arbeiten oder zu aufwendig bzw. kompliziert zu verstehen und anzuwenden sind.

Bei phasenanschnittgesteuerten Stellern [5] kommt noch erschwerend hinzu, daß die Pulsabstände variieren, weshalb die üblichen, über die Theorie der Abtastsysteme [6] gewonnenen Regelalgorithmen versagen, da diese äquidistante Taktschritte voraussetzen. Wird bei geschalteten Stellern wie Chopperverstärkern, pulsmodulierenden IGBTs oder netzgeführten Stromrichtern versucht, die Regelbandbreite bis in die Nähe der Schaltfrequenz anzuheben, so treten auch in ansonsten einfachen Regelkreisen subharmonische Schwingungen oder Interferenzschwebungen auf.

Der neuartige Regler kann diese Probleme durch Synchronisation und nichtlineare dynamische Korrektur weitgehend und für die Praxis einfach beheben. Außerdem wird die lineare Regelkreisstabilität, die bei allen Strecken mit Verzögerungen höherer Ordnung das Hauptproblem darstellt, durch die Hinzunahme eines speziellen Dead-beat-Reglers deutlich verbessert.

Bild 1 soll einen Überblick der Elemente eines auf diese Weise zeitoptimal geregelten Regelkreises geben.

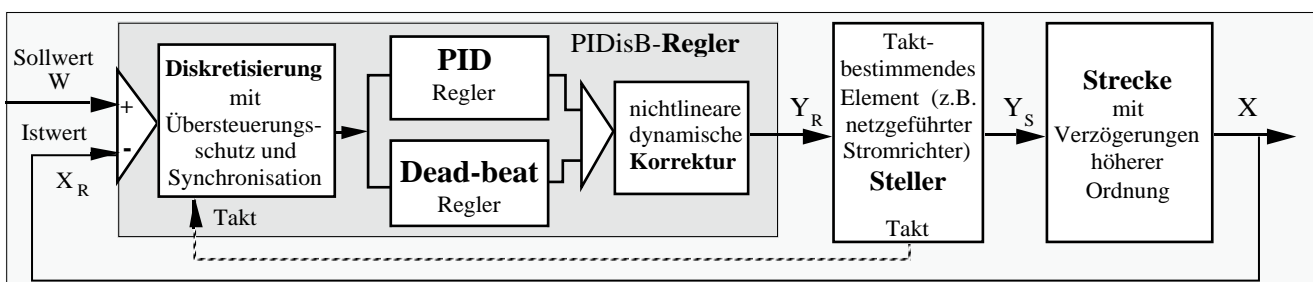


Bild 1: Schema des Hybrid Reglersystems synchronisiert im Regelkreis

Es wird hierbei die höhere Dynamik des Dead-Beat-Reglers mit der Robustheit des bewährten PID-Reglers kombiniert und zu einem System vereinigt.

2. Läßt sich ein PID-Regler noch verbessern?

Zunächst soll hier das Augenmerk auf die wenigen wesentlichen Grundeigenschaften eines optimalen PID-Reglers gelenkt werden.

Ein PID-Regler, sei er nun analog oder digital, sollte neben einem leicht oder automatisch einzustellenden Proportional-, Integral- und Differential-Faktors, in jedem Fall auch eine Einrichtung zur Vermeidung der Überladung ("anti-windup") haben.

Neben dieser sehr wesentlichen Funktion des Integrierteils an der Grenze des Stellbereichs sollte auch der Differenzierteil ein optimales Verhalten bei großen Amplituden aufweisen.

Hier wird bei vielen digitalen Fabrikaten nur ein Algorithmus gewählt, der dem analogen PID-Regler nachempfunden ist. In Bild 2 b) ist die Antwort (YR) auf verschiedene Amplitudenstufen E (Bild 2 a) skizziert. Bei diesem einfachen Differen-

ziervorgehen tritt bei Überschreitung des Stellbereichs ein Impulsverlust auf. Außerdem weist der Vorhaltpuls eine konstante Abfallzeit T_I (=Vorhalt-dauer) auf, die nicht zeitoptimal kurz ist.

Mit zeitdiskreten Verfahren ist es möglich, wie in Bild 2 c) für den zur Unterscheidung vom linearen PD-Regler als PDis-Regler bezeichneten Regler, die effektive Vorhaltdauer (T_I) bei kleinen Amplitudensprüngen auf einen Taktschritt zu beschränken und bei großen so weit zu verlängern, daß immer das volle Vorhaltpulsintegral (-> Vorhalt T_V) in kürzester Zeit zur Ausführung kommt.

Darüber hinaus läßt sich an der Funktion des PID-Reglers eigentlich nichts mehr verbessern.

Geht man aber nur einen Schritt weiter zu den zeitoptimalen Dead-Beat-Reglern, so öffnet sich ein weites Feld [7].

3. Dead-Beat-Regler

Die einfachste Form des Dead-Beat-Reglers ist im Prinzip leicht zu veranschaulichen. In Bild 3 ist zunächst im oberen Teil (Bild 3 b) gezeigt, wie ein zeitdiskret getakteter, zeitoptimaler PD-Regler (hier PDis-Regler genannt)

durch den P-Anteil und D-Anteil auf eine Verzögerung 1. Ordnung (Zeitkonstante T_I , Bild 3 a) in der Summe wirkt. Die Vorhaltzeit T_V des PDis-Reglers wurde hier gleich der Verzögerung T_I der Strecke gewählt. Dadurch ist das Summensignal ($U_{2PD}=U_{2D}+U_{2P}$) bereits nach dem ersten Takt (T) auf voller Endamplitude (U_{2PD} , Bild 3b).

Im unteren Teil (Bild 3 c/d) ist dann eine wesentliche Funktion des Dead-Beat-Reglers (hier DB-Regler genannt) veranschaulicht. Ein Beschleunigungspuls A erzeugt nach der ersten Verzögerung (U_{2/U_1} , Bild 3 a) einen mit T_I abfallenden Puls (U_{2A} , Bild 3c). Der im Abstand T_{ab} folgende inverse Bremspuls B erzeugt ebenfalls einen mit T_I abfallenden Puls.

Beim optimalen Verhältnis von B zu A wird der Ausgang $U_{2AB}=U_{2A}-U_{2B}$ (Bild 3c) direkt nach dem Puls B zu Null (d.h. totgeschlagen = "dead-beat").

Verbindet man nun die Funktion des PDis-Reglers (Bild 3b) mit der des DB-Reglers (Bild 3c) zu einer Kombination PDisB (Bild 3d), so wird am Ausgang U_2 der ersten Verzögerung T_I aus den Teilspannungen $U_{2AB}+U_{2PD}$ ein Verlauf U_{2PDisB} , welcher der Sprungantwort eines PD-

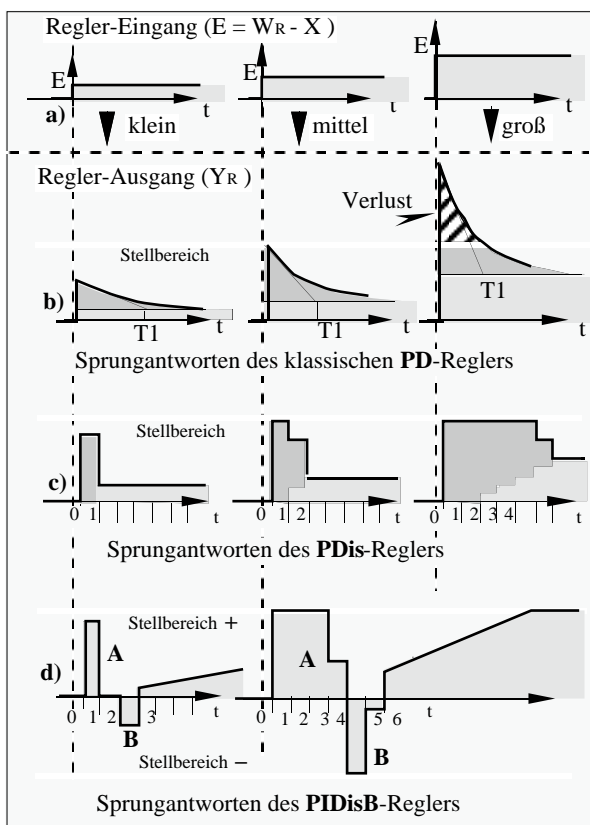


Bild 2: Ausnutzung des Stellbereichs unterschiedlicher Regler bei kleinen, mittleren und großen Amplitudenstufen

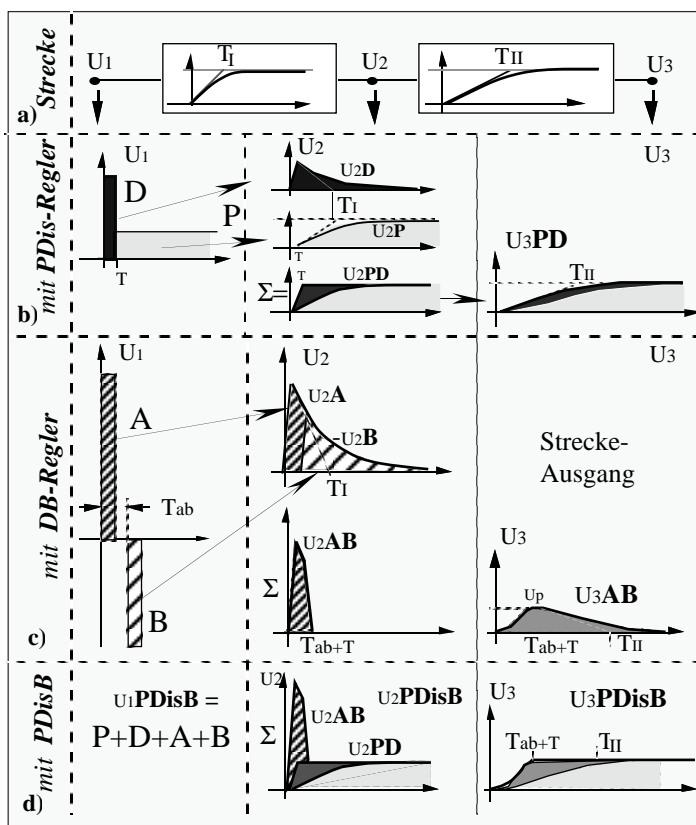


Bild 3: Zeitoptimale Kompensation von Verzögerungen erster (T_I) und zweiter (T_{II}) Ordnung veranschaulicht für Vorhalt $T_V=T_I$ und Beschleunigung $T_B=T_{II}$

Reglers sehr ähnlich ist (Bild 3 d). Hieraus läßt sich eine effektive Vorhaltzeit zweiter Ordnung ermitteln, welche auch Beschleunigungszeit (TB) genannt werden kann.

Wird $TB=TII$ gewählt, so läßt sich eine weitere Verzögerung (TII) der Strecke ($U3/U2$, Bild 3 a) zeitoptimal kompensieren. Die resultierenden Sprungantworten sind in Bild 3 d) ($U3PDisB=U3PD+U3AB$) skizziert.

Selbstverständlich darf weder die zeitoptimale PDis-Regler-Funktion noch die DB-Regler-Funktion in der Kombination an den Stellbereichsgrenzen beschnitten oder in der Wirkung verändert werden. In Bild 2 d) sind Sprungantworten des PIDisB-Reglers (= PDisB-Regler mit I-Regler-Anteil) bei verschiedenen Amplitudensprüngen skizziert.

Der PIDisB-Regler hat alle Funktionen des zeitoptimalen PID-Reglers, kann aber zusätzlich eine Verzögerung zweiter Ordnung zeitoptimal kompensieren.

4. Genauigkeit, Auflösung und Geschwindigkeit

Die Regelgenauigkeit (bleibende Regelabweichung) wird bei einem Regler mit integrierendem Verhalten ausschließlich durch den Soll-Ist-Vergleicher bestimmt.

Bei der Regelung von analogen Größen mit digitalen Reglern kann die Genauigkeit nie höher sein als der entsprechende Wert des "least significant bit" (Bei 12-bit-Systemen sind das 5 mV aus ± 10 V). Das ist auch die maximale Auflösung und der Wert um den die Regelgröße im eingeschwungenen Zustand mindestens pendelt.

Analog-Regler, mit modernen Differenzverstärkern realisiert, können dagegen genauer sein (0,1 mV) und haben eine unendlich hohe Auflösung, was zu größerer Ruhe des eingeschwungenen Signals führt.

Auch im Hinblick auf die Geschwindigkeit ist der Analog-Regler dem Digital-Regler vorzuziehen. Erstens benötigt eine Anlogschaltung kein verzögerndes Anti-Alias-Filter, wie es vor jeder Analog-Digital-Wandlung in digitalisierten Regelkreisen erforderlich ist. Zweitens benötigt ein Digitalsystem mindestens einen Taktschritt Rechenzeit, um auf ein Ereignis zu reagieren, während ein rein analoger PID-Regler prinzipiell

ohne Verzugszeit reagieren kann (vgl. Bild 4 mit Bild 5).

Nach dem Stand der heutigen Technik moderner Digitaler Signalprozessoren (DSP) kann ein PID-Algorithmus z.B. mit dem SHARC ADSP 21062 (33 MHz Takt, 99 MFlops, 33 ns Zyklus) in $2 \mu s$ ausgeführt werden. Das Meßergebnis der Sprungantwort ist in Bild 4 dargestellt, wobei noch kein Anti-Alias-Filter verwendet wurde, welches den Vorhaltpuls noch weiter verzögern würde.

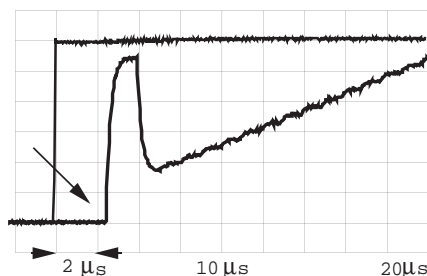


Bild 4: Sprungantwort eines Digital- (DSP)-Reglers (Reaktionszeit > 1 Takt)

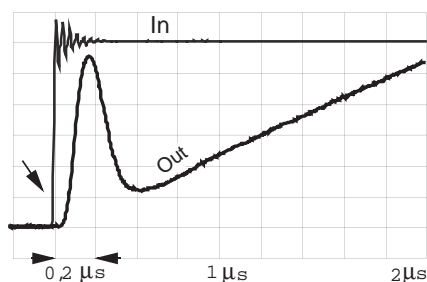


Bild 5: Sprungantwort eines Analog-Reglers (Reaktionszeit praktisch Null)

Demgegenüber läßt sich mit einer modernen Anlogschaltung problemlos die zehnfache Geschwindigkeit erzielen (Reaktionszeit $< 0,1 \mu s$), und man braucht dabei wegen Aliasing keine Rücksicht auf hochfrequente Einschwingvorgänge zu nehmen (Messung Bild 5).

Beim Einsatz eines digitalen Reglers mit fremdgeschalteten Stellern treten außerdem Interferenzen zwischen Reglerzyklus und Stellertakt auf, sofern diese nicht sauber miteinander synchronisiert werden.

Auch hier hat man mit einem rein analogen Regler praktisch keine Probleme.

Leider können aber zeitoptimale Dead-beat-Regler nicht rein linear analog realisiert werden, da sie zeitdiskret arbeiten müssen. Zeitdiskret bedeutet aber nicht zwangsläufig digital.

Es wurde deshalb versucht, die Vorteile des Analog-Reglers mit den Vorzügen des zeitoptimalen Dead-Beat-Reglers zu verbinden.

5. Der synchronisierbare zeitoptimale Regler in Hybrid-Technik

Wie zuvor erwähnt, müssen bei der Realisierung eines Reglers durch digitale Prozessoren neben der reinen Rechenzeit auch noch andere Nachteile in Kauf genommen werden, die durch die Digitalisierung bzw. durch die regelungstechnisch ungünstigen Glättungsfilter (anti-alias) vor der Analog-Digital Wandlung bedingt sind.

Bei dem neuartig hybrid aufgebauten PIDisB-Regler-Gerät (Bild 6) konnte durch die Verwendung moderner, hochgenauer Analogbausteine auf die A->D und D->A Wandlung ganz verzichtet werden. Auch die Vorfilter konnten entfallen, weil eine spezielle analoge Diskretisierungsstufe höherfrequente Schwankungen zwischen zwei Meßschritten zeitoptimal ausgleicht.

Bei dem hybrid entwickelten Regler wird das Ausgangssignal totzeitarm analog bereits während des laufenden Taktschritts gebildet. Dies führt insbesondere bei phasenanschnittgeschalteten Stellern zu einer erheblich günstigeren Reaktionszeit und damit zu einer besseren Regelkreisstabilität.

Digitale Elemente wurden in diesem Hybrid-Regler lediglich für die Synchronisation und die interne Speicherverwaltung eingesetzt und in sehr schneller programmierbarer Logik (cPLD) ausgeführt. So wurde es möglich, den gesamten Regelalgorithmus inklusive nichtlinearer Korrekturen für netzgeführte Stromrichter in weniger als 0,1 Millisekunden auszuführen. Das Gerät kann dadurch mit geschalteten Stellern oder anderen getakteten Elementen der Regelstrecke bis über 10 kHz, eventuell sogar bis 100kHz Taktrate synchronisiert werden.

Neben dieser zur Vermeidung von Interferenzen unerlässlichen Synchronisierbarkeit weist das Regelgerät noch folgende Vorzüge auf:

Im Regler wird nicht nur die Überladung (windup) des analogen I-Reglerteils optimal verhindert, sondern darüber hinaus jede Art von Übersteuerung vermieden bzw. zeitoptimal ausgeglichen. Das gilt für den PDis-Reglerteil, wie in Bild 2 c) veranschaulicht, eben so wie für die Kombination aus P-, I-, Dis-, und DB-Regler (PIDisB) in jeder Zusammen-

stellung für alle Reglerkoeffizienten, und insbesondere für T_v und T_B , von sehr kleinen bis zu sehr großen Signalen (vgl. Bild 2 d).

Bei zeitdiskreten Reglern spielt die Größe und Konstanz der Taktschritte eine wesentliche Rolle. Bei phasenmodulierten Stellern und insbesondere netzgeführten Stromrichtern variieren aber die Taktschritte (siehe Abschnitt 7.2), sodaß es bisher nicht möglich war Dead-beat-Regler mit diesen Stellern einzusetzen. Dieses Problem wurde gelöst durch ein ebenfalls patentiertes, nichtlinear-dynamisches Korrekturverfahren, welches auch in zeitdiskreter schneller Analogtechnik realisiert wurde.

Für nicht stetige Prozesse ist der Regler auch geeignet, da er durch ein externes Steuersignal in einen Ruhezustand gebracht und wieder frei gegeben werden kann.

6. Hardware und Software des Hybriden PIDisB-Regler-Systems

In der Praxis sind die Anforderungen an einen Regler sehr verschieden, und oftmals ist nur ein Teil der gesamten Leistungsmerkmale des PIDisB-Regler-System mit seinen nichtlinearen Entzerrern erforderlich. Deshalb wurde der in Analogtechnik (d. h. ohne Digitalwandler) entwickelte und patentierte Regler in Baugruppen nach EURO-Norm aufgeteilt, wobei Steckertyp und Stromversorgung mit SIMADYN C von Siemens kompatibel sind. (Bild 6).

Dadurch kann das Regelsystem auch mit Einschüben anderer Her-

steller, wenn sie diesem Standard entsprechen, erweitert werden. Alle Eingänge sind zur Vermeidung von Störungen mit Differenzverstärkern ausgestattet. Die Zuleitungen sind paarweise verdrillt und der Schirm an der Metallfrontplatte geerdet. Die Ausgänge arbeiten im ± 10 V Bereich.

Zur Fernbedienung können die Regelparameter (T_v , T_N , K_R ,...) sowohl durch Potentiometer als auch durch Analogspannungen von jeder SPS-Steuerung (z.B. SIMATIC) und jedem Computer (z.B.: PC) über Analog-IO-Karten gesteuert und überwacht werden. Die Reglereinstellungen können dadurch auch vollautomatisch oder programmiert erfolgen.

Die Regelparameter sind stetig veränderbar, ohne den Regelungsprozeß hierfür unterbrechen zu müssen. Außerdem sind alle Funktionen des Reglers mit gewöhnlichem Spannungsmesser oder Oszilloskop während des Betriebs problemlos zu überwachen.

Bild 6 zeigt eine Auswahl Module in einem System-Rahmen (EuroLab entsprechend SIMADYN C)

Es sind dies die Synchrodyn-Elemente des PIDisB-Reglers:

- * Synchronisationseinrichtung (Taktgeber) bis 10 kHz
- * PDis-Regler (zeitoptimiert mit anti-alias und anti-windup) Basis für PI, PIDis, PDisB oder PIDisB-Regler
- * I-Regler
- * DB-Regler
- * Anpassung für lineare Steller
- * Entzerrungsbaustein für nichtlineare Effekte z.B.: arc-sin für netzgeführte Stromrichter

- * Pulsbalancierung variierender Taktschritte bzw. dynamischer nichtlinearer Entzerrer für phasenmodulierte Steller

Ferner stehen Ergänzungsmodule zur Verfügung die auch in den System-Rahmen passen und über den PC bedient und überwacht werden können. Es sind dies:

- * Übergeordnete Sicherheits-, und Begrenzungs- Module
- * Lineare Analog-PID-Regler mit anti-windup und externer Reglerfreigabe für nichtkontinuierliche Regelungsaufgaben (im Millisekunden-Bereich)
- * Ultra schnelle lineare PID-Regler für den Mikrosekunden-Bereich
- * Mikroprozessor-Regler für spezielle Aufgaben im Sekundenbereich bzw. darüber

Für übergeordnete Aufgaben, wie Bedienen, Beobachten, Rezepturen verwalten, Sollkurvengabe, Datenerfassung, Kommunikation usw., steht ein PC mit all seinen Möglichkeiten zur Verfügung (Bild 7).

Datenkommunikation zu anderen Systemen erfolgt über die normale RS232- oder die Ethernet-Schnittstelle mit Internet-Protokoll TCP/IP und OPC- Standard.

Für einen einfachen Regelbetrieb ist der übergeordnete PC aber nicht zwingend erforderlich, weil der PIDisB-Regler selbst keine Software benötigt und die Funktionen auch direkt manuell oder per SPS einstellbar sind.

Für sicherheitsrelevante Aufgaben ist der Zugriff des PCs auf den Regler individuell abschaltbar.



Bild 6: PIDisB-Reglergerät in modularer Bauweise (EuroLab) mit manueller Bedienbarkeit und Rechneranschluß für Fernbedienen und Beobachten

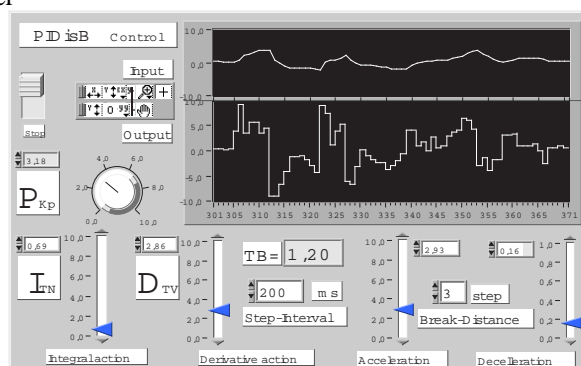


Bild 7: PC-Programm (SCADA) zur Fernbedienung, Überwachung und Protokollierung des PIDisB Reglersystems

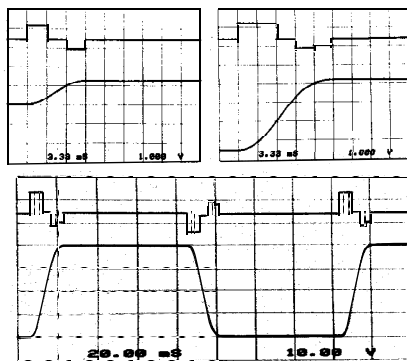


Bild 8: Meßbeispiel für die zeitoptimale Steuerung mittels PDisB-Regelgerät und linearem Steller bei einer Strecke mit Verzögerungen zweiter Ordnung bei kleiner und mittlerer sowie (in anderem Maßstab) bei sehr großer Amplitude (jeweils Stellgröße Y und Regelgröße X)

7.1 PIDisB-Regler für geschaltete Steller insbesondere IGBT

Die oben beschriebenen Vorzüge des PIDisB-Regler-Systems sind nicht nur mit linearen Verstärkern als Steller (Bild 8), sondern auch mit puls- oder phasenmodulierten Stellern optimal nutzbar. In Bild 9 ist das Meßergebnis für einen mit PDisB-Regler zeitoptimal gesteuerten pulsbreitenmodulierten 3-Punkt-Steller vor einer Strecke mit zwei Verzögerungen dargestellt. Hier wurde eine Schalttransistorbrücke verwendet; es hätte aber auch eben so eine IGBT-Brücke mit gleichem Ergebnis sein können.

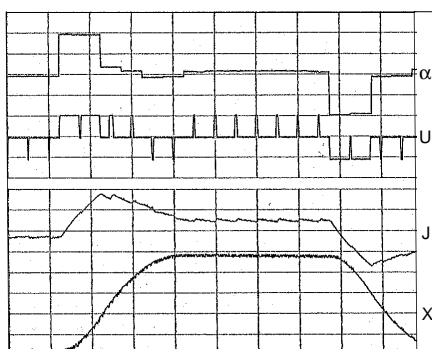


Bild 9: Steuerung mit PDisB-Regler und 3-Punkt Steller (Transistorbrücke bzw. IGBT) Meßbeispiel an Strecke mit 2 Verzögerungen (α : Reglerausgang, U: Stellerausg., J: Spulenstrom d. h. nach 1. Verzögerung, X: nach 2. Verzögerung)

Wenn geschaltete Steller wegen ihrer geringen Verlustleistung eingesetzt werden müssen, aber gleichzeitig eine kleine Signalwelligkeit und eine hohe Einstellgeschwindigkeit gefordert werden, so kann dies bestenfalls durch mehrstufige Filter erzielt

werden. Jede Filterstufe stellt aber einen weiteren Grad der Verzögerung und damit ein höheres regelungstechnisches Problem dar. Durch den DB-Teil des PIDisB-Reglers wird gegenüber PID ein weiterer Grad beherrschbar.

So können nun nicht nur eine Verzögerung bis auf einen Taktschritt und zwei Verzögerungen bis herab auf zwei Taktschritte optimal gesteuert, sondern im Regelkreis sogar eine dritte Verzögerung zugelassen werden, die auch ohne untergeordnete Regelschleife gut ausgeglichen werden kann (Bild 10).

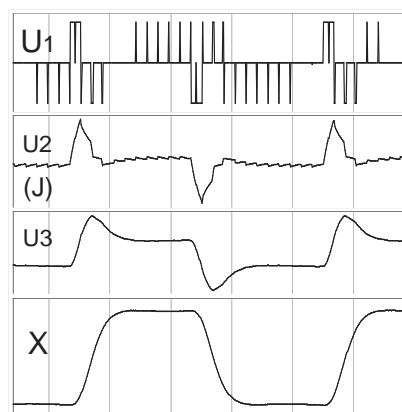


Bild 10: Signalverläufe bei geschaltetem 3-Punkt Steller (IGBT- bzw. Schalt-Transistorbrücke) im Regelkreis mit 3 Verzögerungen optimiert mit PDisB-Regler U1=Stellerausgang; U2=Signal nach 1. Verzögerung; U3= Signal nach zweiter Verzögerung; X=Regelgröße (=Signal nach 3. Verzögerung)

Vergleiche hierzu auch Abschnitt 8, Bild 16-19).

7.2 PIDisB-Regler für netzgeführte Stromrichter

Bei phasenanschnittgesteuerten Stellern variiert der Abstand zwischen den Pulsen. Beim Übergang von Wechselrichter- zu Gleichrichterbetrieb kann der Abstand sehr kurz sein, während von Gleichrichter- zu Wechselrichterbetrieb die sinusförmige Spannung den Verlauf bestimmt, was zu einem verlängerten Pulsabstand führt (Bild 11).

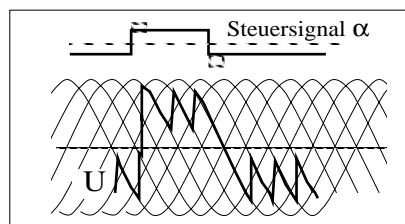


Bild 11: Unsymmetrie der Spannung am netzgeführten Stromrichter

Versucht man mit einem netzgeführten Stromrichter den Strom in einer Spule sehr schnell mittels konventionellem Stromregler hoher Kreisverstärkung einzustellen, so treten nichtreproduzierbare, subharmonische Einschwingvorgänge auf. (Bild 12).

Da bei einem zeitdiskreten Regler und insbesondere beim Dead-beat-Regler die Pulsabstände T_{ab} eine große Bedeutung haben, müssen die variierenden Taktschritte bei phasenanschnittgesteuerten Stellern dynamisch und nichtlinear zeitoptimal kompensiert werden. Hierfür wurde zu dem PIDisB-Regler noch eine spezielle nichtlineare Entzerrerschaltung, ebenfalls in zeitdiskreter Analogtechnik, entwickelt. Durch diese elektronische Schaltung wird es möglich, auch mit netzgeführten Stromrichtern zeitoptimal zu steuern und zu regeln.

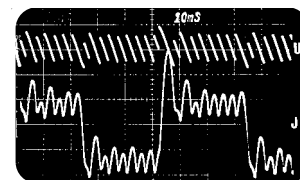


Bild 12: Subharmonische Einschwingvorgänge eines Spulenstromes bei hoher Regelkreisverstärkung mit netzgeführtem Stromrichter (U=Thyristorspannung, J=Spulenstrom)

Mit dem synchronisierten PDis-Regler dagegen kann der Strom in der Spule ohne diese subharmonischen Effekte auch zeitoptimal gesteuert werden. In Bild 13 ist zu sehen, wie der Stromverlauf ohne bzw. mit nichtlinearem Entzerrer aussieht.

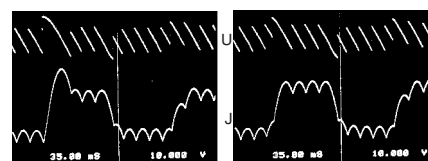


Bild 13: Spulenstrom-Steuerung mit Stromrichter und PDis-Regler L/R= Tv ohne und mit synchronisiertem nichtlinearem Entzerrer

In Bild 14 ist dargestellt, wie mit dem nichtlinearen PDisB-Regler auch eine Verzögerung zweiter Ordnung mit netzgeführtem Stromrichter in zwei Schritten zeitoptimal gesteuert und damit überwunden werden kann.

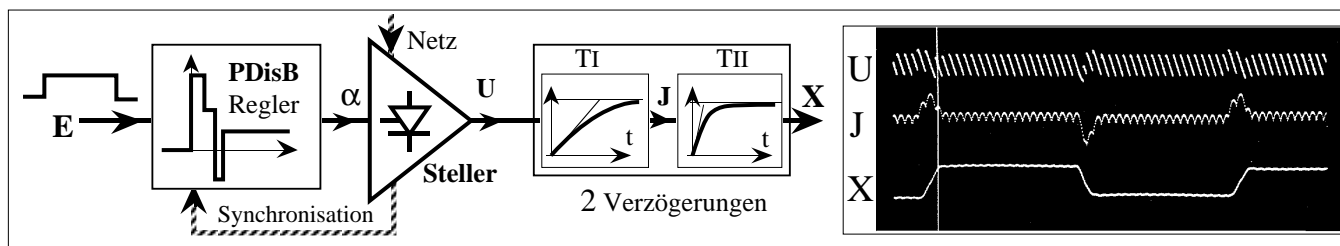


Bild 14: Zeitoptimale Steuerung mit nichtlinearem PDisB-Regler für netzgeführten Stromrichter gemessen an Strecke 2. Ordnung,

Den Meßkurven Bild 15 ist zu entnehmen daß das PIDisB Regelsystem diese Kompensation 2. Ordnung nicht nur bei kleinen, sondern auch bei sehr großen Amplitudensprüngen korrekt zeitoptimal ausführt.

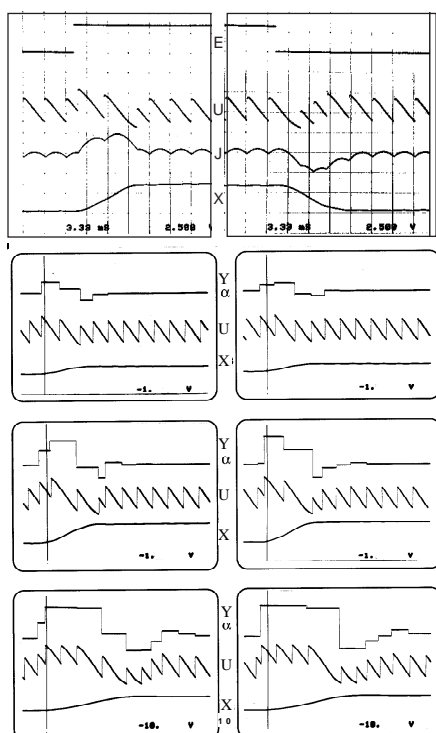


Bild 15: Zeitoptimale Steuerung mit nichtlinearem PDisB-Regler für netzgeführten Stromrichter, gemessen an Strecke mit zwei dominanten Verzögerungen (vgl. Bild 14) bei verschiedenen Amplituden und Phasen.

8. Gegenüberstellung PIDisB und PID-Regler im Regelkreis

Befinden sich in einem Regelkreis drei dominante Verzögerungen, von denen keine durch einen untergeordneten Regelkreis eliminiert werden kann, so ist es mit einem konventionellen PD- oder PID-Regler nicht möglich, eine Sprungantwort zu erhalten, die schneller als die kürzeste dieser Zeiten ist. Außerdem wird sich ein Überschwingen ergeben, dessen

Frequenz etwa dem Reziprokwert dieser Zeitkonstante entspricht (Bild 17)

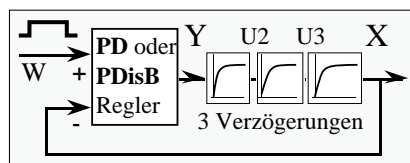


Bild 16: Regelkreis Meßanordnung mit Verzögerung 3. Ordnung entsprechend der Diagramme Bild 17-19

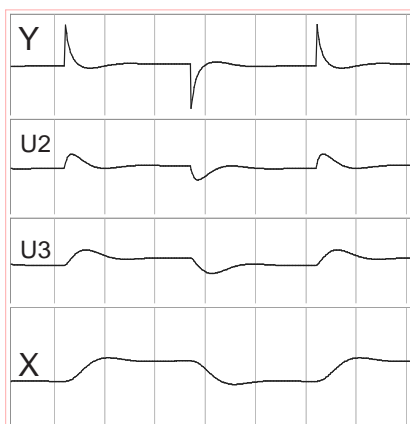


Bild 17: Signalverläufe gemessen im geschlossenen Regelkreis mit 3 Verzögerungen optimiert mit klassischem PD-Regler (vgl. Bild 16)

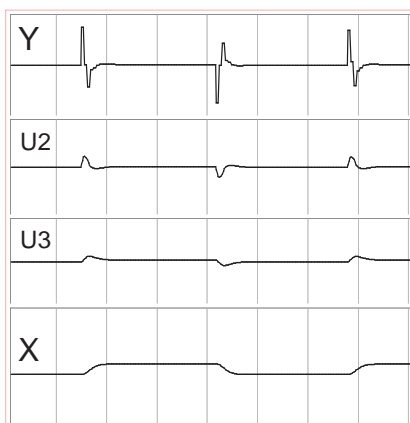


Bild 18: Signalverläufe gemessen im geschlossenen Regelkreis mit 3 Verzögerungen optimiert mit PDisB-Regler (vgl. Bild 16)

Die Meßergebnisse Bild 17 bis Bild 19 machen den Vorzug des PDisB bzw. des PIDisB-Reglers gegenüber dem PID-Regler im

Zeitbereich deutlich. An einer Strecke mit Verzögerung 3. Ordnung (Bild 16) wurde zunächst mit einem einfachen klassischen PD-Regler versucht die Geschwindigkeit zu optimieren. Weil ein PD-Regler nicht "bremsen" kann, wird die Regelgröße X entweder nur langsam ansteigen oder überschwingen (Bild 17).

Mit dem PDisB-Regler dagegen kann durch den "Bremspuls B" (vgl. hierzu auch Abschnitt 3 Bild 3 c) der Einschwingvorgang beschleunigt abgeschlossen und das Überschwingen vermieden werden, wie aus den Meßkurven Bild 18 zu erkennen ist.

Der verfügbare Stellbereich wird dabei jeweils optimal ausgenutzt, wie der Vergleich Bild 18 mit Bild 19 bei gleichem Maßstab, aber unterschiedlicher Amplitude zeigt.

Diese optimalen Eigenschaften sind nicht nur mit linearen, sondern auch mit geschalteten Stellern zu erzielen (vgl. Abschnitt 7.1 Bild 10). Der größte Vorteil gegenüber herkömmlichen PID-Reglern ergibt sich aber insbesondere bei netzgeführten Stromrichtern (siehe Abschnitt 7.2 und Bild 20).

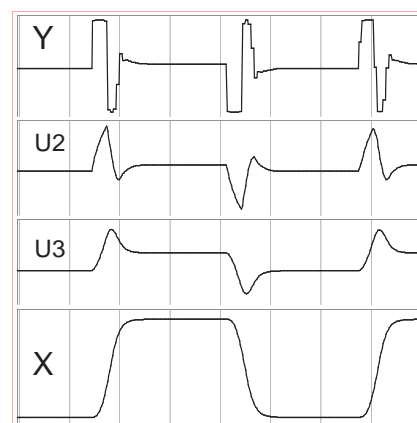


Bild 19: Signalverläufe bei größerer Amplitude (Maßstab und Reglereinstellung gleich wie bei Bild 18).

Die Reglereinstellung kann, wie mit dem PID-Regler gewohnt, zunächst mit den Koeffizienten T_V , T_N und K_P vorgenommen werden. Wenn die Regelgeschwindigkeit noch nicht befriedigt wird der Dead-Beat-Regler

zugeschaltet. Durch Variation der Beschleunigungszeit T_B und der Kreisverstärkung K_P läßt sich dann ein verbessertes Verhalten meist leicht experimentell finden.

9. Frequenzgang des PDisB-Reglers

Ein konventioneller PID-Regler kann maximal -90 Grad Phase kompensieren. Ein Regelkreis mit 3 Verzögerungen hat aber bis -270 Grad, so daß noch -180 Grad Phase verbleiben, bei der ein Regelkreis schwingt.

Der neuartige PDisB-Regler kann dagegen mit mehr als $+90$ Grad, theoretisch sogar bis zu $+180$ Grad Phase kompensieren. In Bild 20 ist der über dem PDisB-Regler (sogar inklusiv netzgeführtem Stromrichter) gemessene Frequenzgang als Nyquist-Diagramm dargestellt. Eine positive Phase von etwa $+120$ Grad wurde in diesem Fall bei 20 Hz erzielt.

Die Kenntnis des Reglerfrequenzgangs erlaubt es, sowohl inhärent stabile als auch instabile Strecken mit Nyquist- oder Bode-Diagrammen, zu optimieren. Es ist nicht erforderlich, hierfür zeitdiskrete Verfahren, wie die Z-Transformation, anzuwenden. Der stark im Positiven verlaufende Phasen-

gang ermöglicht es, auch schwierigere Strecken gut zu beherrschen. Allerdings müssen bei sehr zeitkritischen Aufgaben die subharmonischen Frequenzen beachtet werden.

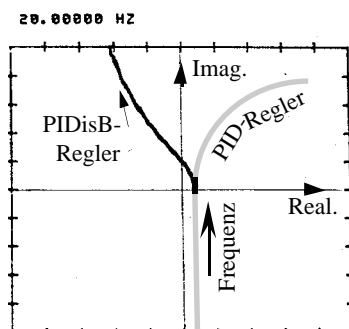


Bild 20: Frequenzgang des PDisB-Reglers (dargestellt als FFT-Nyquist-Diagramm) gemessen über synchronisiertem Regler inklusive netzgeführtem Stromrichter. (U/E vgl. Bild 14). Bis zu 120 Grad positiver Phase sind daraus abzulesen. Der konventionelle PID-Regler kann dagegen prinzipiell, wie grau skizziert, nur maximal 90 Grad positive Phase aufweisen.

Ein zuverlässiges und in der Praxis gut anzuwendendes Optimierungsverfahren für Regelkreise mit geschalteten Stellern, (z. B. netzgeführte Stromrichter, IGBT- oder Transistorbrücken usw.) ist das Verfahren mit

Subharmonischen-Kreisen, welches in der Dissertation [7] beschrieben ist.

10. Zusammenfassung

Der hier vorgestellte sogenannte PDisB-Regler kann die Lücke schließen, wo einfache PID-Regler nicht mehr genügen und die z. B. durch die Z-Transformation gewonnenen optimalen Regelalgorithmen für die Praxis nicht robust genug bzw. zu umständlich oder wie bei phasenmodulierten Stellern gar nicht anwendbar sind.

In Regelkreisen mit dominanten Verzögerungen bis zur 3. Ordnung wird gegenüber dem Betrieb mit konventionellen PID-Reglern ein deutlich verbessertes, robustes Zeitverhalten erreicht. Durch die spezielle Synchronisierung und die nichtlinearen Entzerrer werden auch im Fremdtakt geschaltete Steller, bis hin zu netzgeführten Stromrichtern, optimiert einbezogen.

Der Stellbereich wird dabei jeweils ohne Übersteuerungseffekte individuell zeitoptimal ausgenutzt.

Literatur

- [1] Schmidt, G.: Grundlagen der Regelungstechnik Springer Verlag (1995) S.173-183
- [2] Föllinger, O.: Lineare Abtastsysteme R.Oldenburg Verlag (1986) S.194-228
- [3] Iserman, R.: Digitale Regelsysteme Springer Verlag (1988) S.172-185
- [4] Schumann, R.: CAE von Regelsystemen Automatisierungstechnische Praxis 36 (1994) 3, S.51-59
- [5] Schröder, D.: "Dynamische Eigenschaften von Stromrichter-Stellgliedern mit natürlicher Kommutierung" Regelungstechnik und Prozeß-Datenverarbeitung 4/71, S.155
- [6] Unbehauen, H.: Regelungstechnik II F.Vieweg & Sohn Verlag (1983) S.109-117
- [7] Schneider, F.: "Optimierte Regelung der Plasmalage in den Tokamaks ASDEX und TCV mit Berücksichtigung der netzgeführten Stromrichtersteller". (Dissertation 1990) S.81-93

Lehrstuhl für Steuerungs- und Regelungstechnik

Univ.-Prof. Dr.-Ing. G. Schmidt Technische Universität München

auch als Report IPP III/168 erhältlich über

Frank Schneider Max-Planck-Institut für Plasmaphysik Abt. E3/W7XA

Boltzmannstr.2 D-85748 Garching

e-mail: Frank.Schneider@ipp.mpg.de